

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Requested Patent: JP10050494A

Title: AN ELECTROSTATIC DISCHARGE PROTECTION CIRCUIT ;

Abstracted Patent: EP0803955, A3 ;

Publication Date: 1997-10-29 ;

Inventor(s):

KNIGHT JONATHAN R (US); DEVORE JOSEPH A (US); TEGGATZ ROSS E (US)

Applicant(s): TEXAS INSTRUMENTS INC (US) ;

Application Number: EP19970302767 19970423 ;

Priority Number(s): US19960016185P 19960425 ;

IPC Classification: H02H9/04 ;

Equivalents:

ABSTRACT:

An ESD protection circuit which includes high voltage and reference voltage terminals, an SCR circuit coupled between the terminals and a breakdown device (22) which becomes electrically conductive commencing at a predetermined voltage thereacross and coupled between the terminals to trigger conduction of the SCR circuit. The protection circuit protects a device to be protected coupled between the terminals, the predetermined voltage being a voltage below any voltage which will damage the device to be protected. The SCR circuit includes a PNP transistor (Q1) having an emitter coupled to the high voltage terminal, a base and a collector, an NPN transistor (Q2) having an emitter coupled to the reference voltage terminal, a base coupled to the collector of the PNP transistor (Q1) and a collector coupled to the base of the PNP transistor (Q1), a resistance (R1) between the high voltage terminal and the base of the PNP transistor (Q1) and a resistance (R2) between the reference voltage terminal and the base of the NPN transistor (Q2). The breakdown device (22) is a Zener diode. The Zener diode is coupled between the base of the PNP transistor (Q1) and the reference voltage terminal.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-50494

(43)公開日 平成10年(1998)2月20日

(51)Int.Cl.⁶

H 0 5 F 3/02

識別記号

庁内整理番号

F I

H 0 5 F 3/02

技術表示箇所

L

審査請求 未請求 請求項の数1 01 (全 6 頁)

(21)出願番号 特願平9-109549

(22)出願日 平成9年(1997)4月25日

(31)優先権主張番号 016185

(32)優先日 1996年4月25日

(33)優先権主張国 米国 (US)

(71)出願人 590000879

テキサス インストルメンツ インコーポ
レイテッド

アメリカ合衆国テキサス州ダラス, ノース
セントラルエクスプレスウェイ 13500

(72)発明者 ロス イー. テッガツ

アメリカ合衆国テキサス州マッキニー, ス
トーンポイント 2908

(72)発明者 ジョセフ エイ. ドゥボア

アメリカ合衆国テキサス州ダラス, エコー
バレイ ドライブ 8832

(74)代理人 弁理士 浅村 皓 (外3名)

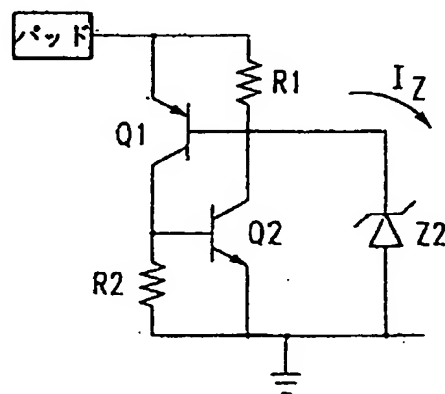
最終頁に続く

(54)【発明の名称】 高電圧静電気放電保護回路

(57)【要約】

【課題】 小さなチップ面積のESD保護構造を提供すること。

【解決手段】 ESD保護回路であって、高電圧端子及び基準電圧端子と、端子間に結合されるSCR回路と、そこを通る所定の電圧で電氣的に導電を開始する、SCR回路の導電をトリガするために端子間に結合される降伏デバイス(Z2)とを有する。SCR回路は、高電圧端子に結合されたエミッタ、ベースおよびコレクタを有するPNPトランジスタ(Q1)と、基準電圧端子に結合されたエミッタ、PNPトランジスタ(Q1)のコレクタに結合されたベース、及びPNPトランジスタ(Q1)のベースに結合されたコレクタとを有するNPNトランジスタ(Q2)と、高電圧端子とPNPトランジスタ(Q1)のベースとの間の抵抗(R1)と、基準電圧端子とNPNトランジスタ(Q2)のベースとの間の抵抗(R2)とを有する。降伏デバイス(Z2)はPNPトランジスタ(Q1)のベースと基準電圧端子との間に結合される。



【特許請求の範囲】

【請求項1】 ESD保護回路であって、高電圧端子及び基準電圧端子と前記端子間に結合されるSCR回路と、そこを通る所定の電圧で電気的に導電を開始する、前記SCR回路の導電をトリガするために前記端子間に結合される降伏デバイスとを含むESD保護回路。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、高電圧半導体構成部品ピンと共に用いる高電圧静電気放電(ESD)保護回路に関連する。

【0002】

【従来の技術】アナログ設計において、集積回路のピンの幾つかがその通常の動作中比較的高い電圧で操作しなければならない場合が頻繁にある。そのような半導体デバイスの静電気放電の問題及びそのような放電によって生じる問題はよく知られており、それによって生じる問題を最小にするため過去に非常に多くの努力がなされてきている。従来技術の高電圧トランジスタ(即ち、ピン上に約50ボルトから100ボルトの電圧が流れることが可能)におけるESDの問題に対する一つの解決策は、ピンと基準電源との間にツェナー・ダイオードを配置することであった。これは例えば、高電圧ピンに接続されるトランジスタ・ソース又はトランジスタ・ドレインとトランジスタ・ゲートとの間のツェナー・ダイオード、及びトランジスタ・ゲートからトランジスタ・ソースとトランジスタ・ドレインの他方へのレジスタなどの形をとり得る。ツェナー・ダイオードは、保護されるトランジスタの降伏電圧より小さい降伏電圧を有するように設計される。従って、トランジスタを通る電圧がツェナー降伏電圧を越えるとき、ツェナー・ダイオードは降伏してトランジスタを導電させ、それによってトランジスタを通る過度に大きな電圧が存在しないようにしている。

【0003】

【発明が解決しようとする課題】ESDの問題に対する上述の解決策及び一般のESD保護回路に伴う問題は、例えば前述のツェナー・ダイオードのようなトランジスタ構造が、ESDストレスに耐えることができる構造をつくるための非常に大量のチップ表面と、消散(dissipate)されなければならない非常に大量の電力を使用することであった。実際の回路において、そのようなESD構造は例えば約3000マイクロメートルの幅を必要とする。半導体構成部品の微小化が続くのに伴い、所定のパラメータ群を提供する半導体デバイスに必要とされる領域のいかなる最小化も不可欠であることは明らかである。

【0004】SCRデバイスもESD保護のために従来技術で用いられてきている。このようなデバイスは、より高い電圧レベルで(即ち、約60ボルトレベルで)その

ファイヤリング(firing)電圧を正確に制御することができないため、従来技術ではうまく用いられなかった。

【0005】

【課題を解決するための手段】本発明に従って、上述の目的を達成し従来技術の構造と比べ約10分の1又はそれ以下のチップ面積を必要とする高電圧半導体デバイスのためのESD構造が提供される。

【0006】簡単に言えば、ツェナー・ダイオード降伏メカニズムは、従来技術より集積回路で消散されるために必要とするエネルギーがより小さくすむと共に、電流を扱う効率がより高いSCRをトリガするために用いられる。従来技術の解決策は、ESDストライクを消散するために降伏メカニズムのみを用いる。本発明のESD保護回路は、通常の高電圧動作中オフのままであるが、そこへ結合するピン及びデバイスをESDストライクから保護する。

【0007】本発明に従ったESD構造(configuration)は、SCRデバイスをトリガするために降伏メカニズムを用い、これによりSCRデバイスを通る電圧降下が最小化される。電圧降下が最小化されるため、全体の瞬間電力消散は従来技術の構造で必要とされるよりずっと小さい。従って、ESD保護回路のために必要とされるシリコン領域がより小さい。更にSCR回路は、接合降伏メカニズムより装置面積当たりより多くの電流を流すことができ、さらにこの特性は減少された面積をESD構造が有することを促進する。

【0008】

【発明の実施の形態】本発明の一実施例を図面を参照して説明する。まず図1では、パッド又はピン11と基準電源との間に接続されるソース3、ドレイン5、及びゲート7を有するDMOSTランジスタ1を含む典型的な従来技術の高電圧ESD保護回路が示されている。ツェナー・ダイオード9がゲート7とドレイン5との間に結合され、ドレインは V_{DD} 又は高電圧を供給することのできる他のソースに結合されるパッド11に結合されている。ゲート7と、基準電圧に結合されているソース3との間にレジスタ13が結合される。ダイオード15は、DMOSTランジスタ1の形成の結果として半導体構造体(bulk)内につくられるダイオードである。用いられるESD保護メカニズムは、ツェナー・ダイオード9及びレジスタ13の形をとるESDデバイスの降伏である。ESDストレスが、ダイオード9とレジスタ13とを含む、例えば60ボルトの降伏電圧を有するESD保護回路を通して供給される。ESDストレス電流が高いため(例えば、1500 ohmの人体モデル・テストで2kVに対し1.3アンペアが典型的である)、ESD保護回路を通る瞬間電力消散は非常に高い(提供されている従来技術の例において約60ボルト×1.3アンペア=78ワット)。ESD保護回路をESDストレスに持ちこたえさせるため、その構造はESDストライク

による瞬間電力消散に耐えることができるように十分に大きく作られなければならない。

【0009】次に図2及び図3では、前述の従来技術の保護回路より小さなシリコン領域を提供する本発明に従ったESD保護回路が示されている。図2に示す回路は、パッド又はピンを介して高電圧のソースに結合されるエミッタ、及びNPNトランジスタQ2のベースに結合されるコレクタとを有するPNPトランジスタQ1から成るSCRを有する。トランジスタQ1のベースは、例えば接地などの基準電源に結合されるエミッタを有するトランジスタQ2のコレクタに結合される。レジスタR1はトランジスタQ1のエミッタとベースとの間に結合され、レジスタR2はトランジスタQ2のベースとエミッタとの間に結合される。ツェナー・ダイオードZ2はトランジスタQ1のベースと基準電圧のソースとの間に結合される。

【0010】図2の回路は図3では、P型エピタキシャル層21がトランジスタQ1のコレクタとトランジスタQ2のベースの両方を有する集積回路の実施例において示されている。トランジスタQ1のベース及びトランジスタQ2のコレクタである高電圧N型ウェル23は、層21内に配置される。ウェル23内のP+型領域25は、レジスタR1を提供するウェル23内のN+型領域29と共にパッド又はピン27に結合されるトランジスタQ1のエミッタを形成する。層21内のN+型領域31は、N+型領域31から離れて配置されるP+領域33、及びN+型領域31の下に拡散されるN-型領域35によって提供されるレジスタR2と共にトランジスタQ2のエミッタを形成する。ツェナー・ダイオードZ2は、層21との接合を更に形成する高電圧N型ウェル23内に低電圧N型タンク37を加えることによって提供される。P+型領域33及びN+型領域31は、パッド27が高電圧生成ソースに接合される基準電圧のソースに結合される。

【0011】図2に関し、動作において、ピン又はパッドと基準電圧との間の電圧が増加するにつれて、トランジスタQ1のエミッタはレジスタR1を介してそのベースに関して順方向にバイアスされ、トランジスタQ1のベースで電位は上昇しはじめる。しかし、ツェナー・ダイオードZ2の降伏電圧に達するまで電流が流れる場所がないため、この地点では非常に小さな電流しか存在しない。この降伏電圧点で、電流フローがレジスタR1を介して開始し、トランジスタQ1をオンにし、トランジスタQ2へ及びレジスタR2を介してベース電流を提供する。これによりトランジスタQ2がオンになり、トランジスタQ1から引き出されるよりずっと大きなベース電流を生じさせ、迅速にピン又はパッド上の静電気放電から守る。

【0012】トランジスタQ1及びQ2は共にSCR構造を形成する。この構造はツェナー・ダイオードZ2と

共に、図1のツェナー・ダイオードZ1に代わり、従来技術のツェナー・ダイオードZ1によって必要とされる半導体領域より、一般的に10%以下であるが、実質的に小さい領域を必要とする。

【0013】更にツェナー・ダイオードZ2は、図4(a)に示されるように接地に短絡(short circuited)されるゲート及びソースを有するNMOSデバイス41、又は他の全ての構成要素が図2を参照して上記で説明したものと同一である図4(b)に示されるようにレジスタR1を介してパッドに結合されるゲート及びソースを有するPMOSデバイス43によって置き換えることができる。更なる代替例として、図2のツェナー・ダイオードZ2は、トランジスタQ2に並列なソース・ドレイン・パスを有し、図5に示されるようなMOSデバイス51のゲートと接地との間に結合されるレジスタR3を有するツェナー・スタック53などのような他のトリガ・メカニズムを用いるMOSデバイス51で置き換えることができるか、或いはトリガ・メカニズムは図6に示されるような厚いフィールドを有するMOSデバイス61のV_tであってもよい。図7に示されるように接地に結合されるエミッタを有するNPNバイポーラ・デバイス71、又は図8に示されるように接地に結合されるゲート及びエミッタを有するNPNバイポーラ・デバイス81も又、ツェナー・ダイオードZ2に置き換えられてもよい。ツェナー・ダイオードZ2は更に、ESD構造のものとは全く異なって配置される接合ダイオードによっても置き換えられ得る。

【0014】本発明は特定の好ましい実施例を参照して説明されたが、種々の変形及び変更はこの技術の分野の習熟者にとって明白であろう。したがって、添付の特許請求の範囲は、従来技術の視点から可能な限り、あらゆるこれらの変形及び変更を包含することを意図する。

【0015】以上の説明に関して更に次の項を開示する。

(1) ESD保護回路であって、高電圧端子及び基準電圧端子と前記端子間に結合されるSCR回路と、そこを通る所定の電圧で電氣的に導電を開始する、前記SCR回路の導電をトリガするために前記端子間に結合される降伏デバイスとを含むESD保護回路。

(2) 第1項に記載の回路であって、前記端子間に結合され保護されるデバイスをさらに有し、前記所定の電圧は保護される前記デバイスが損傷を受ける任意の電圧より小さい電圧である回路。

(3) 第1項に記載の回路であって、前記降伏デバイスはツェナー・ダイオードである回路。

(4) 第2項に記載の回路であって、前記降伏電圧はツェナー・ダイオードである回路。

(5) 第2項に記載の回路であって、前記降伏デバイスはMOSデバイスである回路。

【0016】(6) 第2項に記載の回路であって、前

タである回路。

(24) 第6項に記載の回路であって、前記降伏デバイスは、前記PNPトランジスタの前記ベースと前記基準電圧端子との間に結合される電流バスと、前記基準電圧端子に結合されるゲートとを有するNPNTランジスタである回路。

【0020】(25) ESD保護回路であって、高電圧端子及び基準電圧端子と、端子間に結合されるSCR回路と、そこを通る所定の電圧で電氣的に導電を開始する、SCR回路の導電をトリガするために端子間に結合される降伏デバイス(Z2)とを有する。保護回路は端子間に結合される保護されるべきデバイスを保護し、所定の電圧は保護される回路が損傷を受ける任意の電圧より小さい。SCR回路は、高電圧端子、ベース、及びコレクタに結合されるエミッタを有するPNPトランジスタ(Q1)と、基準電圧端子に結合されるエミッタ、PNPトランジスタ(Q1)のコレクタに結合されるベース、及びPNPトランジスタ(Q1)のベースに結合されるコレクタとを有するNPNTランジスタ(Q2)と、高電圧端子とPNPトランジスタ(Q1)のベースとの間の抵抗(R1)と、基準電圧端子とNPNTランジスタ(Q2)のベースとの間の抵抗(R2)とを有する。降伏デバイス(Z2)はツェナー・ダイオードであ

る。ツェナー・ダイオードはPNPトランジスタ(Q1)のベースと基準電圧端子との間に結合される。

【図面の簡単な説明】

【図1】従来技術に従った典型的な高電圧ESD保護回路の回路図。

【図2】本発明に従った高電圧ESD保護回路の回路図。

【図3】図2の回路の集積回路の実施例の断面図。

【図4】本発明の他の実施例に従った高電圧ESD保護回路の回路図。

【図5】本発明の他の実施例に従った高電圧ESD保護回路の回路図。

【図6】本発明の他の実施例に従った高電圧ESD保護回路の回路図。

【図7】本発明の他の実施例に従った高電圧ESD保護回路の回路図。

【図8】本発明の他の実施例に従った高電圧ESD保護回路の回路図。

【符号の説明】

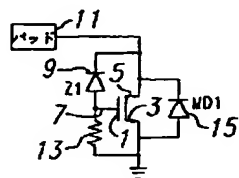
Z2 降伏デバイス

Q1 PNPトランジスタ

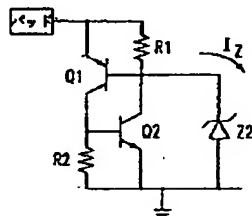
Q2 NPNTランジスタ

R2 抵抗

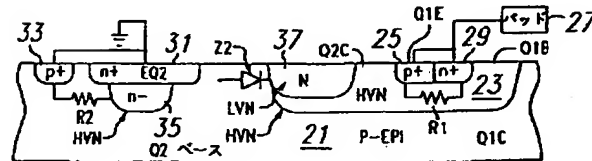
【図1】



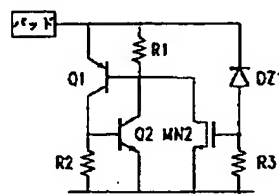
【図2】



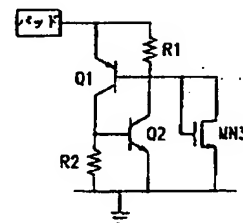
【図3】



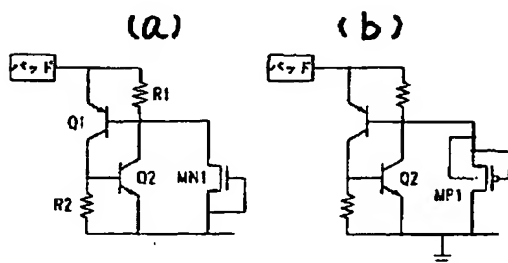
【図5】



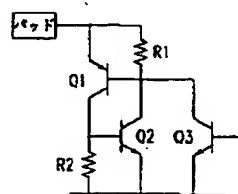
【図6】



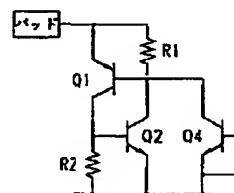
【図4】



【図7】



【図8】



フロントページの続き

(72)発明者 ジョナサン アール・ナイト
アメリカ合衆国テキサス州ダラス、ピッカ
リー プールバード 6315